

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-041350

(43)Date of publication of application : 13.02.1998

(51)Int.Cl.

H01L 21/60

(21)Application number : 09-110679

(71)Applicant : LUCENT TECHNOL INC

(22)Date of filing : 28.04.1997

(72)Inventor : DEGANI YINON
GREENBERG LAWRENCE ARNOLD

(30)Priority

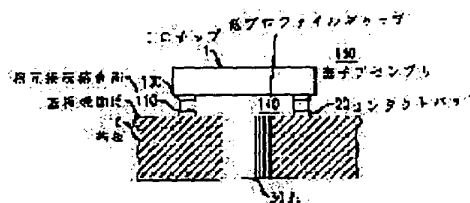
Priority number : 96 641585 Priority date : 01.05.1996 Priority country : US

(54) BONDING INTEGRATED CIRCUIT CHIP AND ELECTRIC ELEMENT ASSEMBLY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a superior integrated circuit bonding technique which can realize a comparatively quick and efficient method for removing flux residues and forming filled parts.

SOLUTION: A contact pad 20 on the surface 15 of a board 10 is positioned to a contact pad 100 of an IC chip 1. The board 10 has holes 30 in a mounting region to mount the chip 1. An interconnection 110 is formed between the pad 100 of the chip 1 and pad 20 of the board 10, thus forming an element assembly 130. A flux cleaning fluid or filler epoxy is well fed into a low-profile gap 140 through the hole 30. The hole 30 is suited for the low-profile gap 140 of about 300 microns or less.



LEGAL STATUS

[Date of request for examination] 05.04.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3215651

[Date of registration] 27.07.2001

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-41350

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl.⁸

H 0 1 L 21/60

識別記号

3 1 1

庁内整理番号

F I

H 0 1 L 21/60

技術表示箇所

3 1 1 S

審査請求 未請求 請求項の数16 O L (全 10 頁)

(21) 出願番号 特願平9-110679

(22) 出願日 平成9年(1997) 4月28日

(31) 優先権主張番号 6 4 1 5 8 5

(32) 優先日 1996年5月1日

(33) 優先権主張国 米国 (U S)

(71) 出願人 596077259

ルーセント テクノロジーズ インコーポ
レイテッド

Lucent Technologies
Inc.

アメリカ合衆国 07974 ニュージャージ
ー、マレーヒル、マウンテン アベニュー
600-700

(72) 発明者 イノン デガニ

アメリカ合衆国, 08904 ニュージャージ
ー、ハイランド パーク、クレヴェランド
アヴェニュー 10

(74) 代理人 弁理士 三俣 弘文

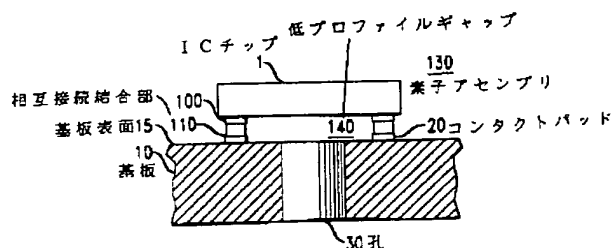
最終頁に続く

(54) 【発明の名称】 集積回路チップの結合方法と電気素子アセンブリ

(57) 【要約】

【課題】 フラックス残留物を除去し、かつ充填部を形成するための、比較的迅速で効率よい方法を実現可能な、優れた集積回路結合技術を提供する。

【解決手段】 基板10の基板表面15上に設けられたコンタクトパッド20は、ICチップ1のコンタクトパッド100と位置合わせされる。基板10には、ICチップ1が実装される実装領域40内に孔30が設けられる。ICチップ1のコンタクトパッド100と基板10のコンタクトパッド20との間には、相互接続結合部110が形成され、素子アセンブリ130が形成される。孔30によって、低プロファイルギャップ140内にフラックス洗浄流体や充填用エポキシを良好に供給できる。この孔30は、約300 μ m以下の高さを持つ低プロファイルギャップ140に対して好適である。



【特許請求の範囲】

【請求項1】 集積回路チップを基板に結合する方法において、

(A) 前記基板の第1主表面に少なくとも一つの孔を設ける孔形成ステップと、

(B) 前記集積回路チップが前記基板における前記少なくとも一つの孔を含む領域を覆うようにして電気的な相互接続結合部を形成するために、前記集積回路チップの少なくとも2つのコンタクトパッドを前記基板第1主表面上の相手側のコンタクトパッドに結合するステップであって、結果的に、前記集積回路チップと前記基板との間に低プロファイルギャップを形成する結合ステップと、

(C) 前記基板と前記集積回路チップとの間の前記低プロファイルギャップ内に材料充填部を形成するステップであって、このステップの間、前記少なくとも一つの孔と前記相互接続結合部の間の隙間が、前記材料によって置換される低プロファイルギャップから空気を排出する充填部形成ステップとを有することを特徴とする集積回路チップの結合方法。

【請求項2】 前記(B)結合ステップは、約300 μ m以下の高さを持つ低プロファイルギャップを形成することを特徴とする請求項1の方法。

【請求項3】 前記(C)充填部形成ステップは、前記集積回路チップの外周を囲む材料縁部の形成を含むことを特徴とする請求項1の方法。

【請求項4】 前記(C)充填部形成ステップは、前記基板上における前記集積回路チップの少なくとも一つの側面に隣接する材料ビードを形成するビード形成ステップを含み、このビード形成ステップに続いて、毛管現象によって前記材料が前記低プロファイルギャップ内に導入されると共に、前記空気が前記孔を通して排出されることを特徴とする請求項1の方法。

【請求項5】 前記基板第1主表面の上方に、この基板第1主表面と対向する基板第2主表面の下方における前記孔の近傍環境の圧力に比べて高い環境圧力を発生させるステップをさらに含むことを特徴とする請求項4の方法。

【請求項6】 前記(C)充填部形成ステップは、

(C1) 少なくとも前記集積回路チップの寸法で形成された開口を持つステンシルを前記基板第1主表面に配置するステップと、

(C2) 前記材料を前記低プロファイルギャップ内に流入させるために前記ステンシル開口内に前記材料を注入するステップと、

(C3) 前記基板第1主表面から前記ステンシルを除去するステップとを有することを特徴とする請求項1の方法。

【請求項7】 前記ステンシル開口は、前記集積回路チップの外周を囲む材料縁部の所望の厚みを集積回路チ

ップの寸法に加えた寸法であることを特徴とする請求項6の方法。

【請求項8】 前記材料は、前記孔を通して前記低プロファイルギャップ内に注入されることを特徴とする請求項1の方法。

【請求項9】 集積回路チップを基板に結合する方法において、

(A) 前記基板の主表面に少なくとも一つの孔を設ける孔形成ステップと、

(B) 前記集積回路チップが前記基板における前記少なくとも一つの孔を含む領域を覆うようにして電気的な相互接続結合部を形成するために、前記集積回路チップの少なくとも2つのコンタクトパッドを前記基板第1主表面上の相手側のコンタクトパッドに結合するステップであって、結果的に、前記集積回路チップと前記基板との間に低プロファイルギャップを形成する結合ステップと、

(C) 前記低プロファイルギャップから不都合な材料の少なくとも一部を除去するために、前記孔を利用してこの低プロファイルギャップ内に洗浄流体を流す洗浄ステップとを有することを特徴とする集積回路チップの結合方法。

【請求項10】 前記(B)結合ステップは、約150 μ m以下の高さを持つ低プロファイルギャップを形成することを特徴とする請求項9の方法。

【請求項11】 前記洗浄流体は、前記孔を通して前記低プロファイルギャップ内に流入されることを特徴とする請求項9の方法。

【請求項12】 (D)前記基板第1主表面と対向する基板第2主表面に包囲壁を設けるステップと、

(E) 前記包囲壁と前記基板第2主表面によって形成されたキャビティ内に洗浄流体を注入するステップと、

(F) 前記キャビティから前記孔を通して前記低プロファイルギャップ内に前記洗浄流体を流入するステップとをさらに有することを特徴とする請求項9の方法。

【請求項13】 (A) 少なくとも一つの孔が設けられると共に、その表面上に少なくとも一つのコンタクトパッドが設けられた基板と、

(B) 前記基板のコンタクトパッドに対応する少なくとも一つのコンタクトパッドを持ち、前記少なくとも一つの孔を覆い、前記基板表面との間に低プロファイルギャップを形成すると共に、この低プロファイルギャップ内に前記孔を利用して材料が流れやすくなるように配置された集積回路チップとを有することを特徴とする電気素子アセンブリ。

【請求項14】 前記低プロファイルギャップは、約300 μ m以下の高さを持つことを特徴とする請求項13のアセンブリ。

【請求項15】 (C) 前記低プロファイルギャップ内に形成され、その形成時に前記孔によってエアポケッ

トがほぼ除去された材料充填部をさらに有することを特徴とする請求項13のアセンブリ。

【請求項16】 (D) 前記孔内に少なくともその一部が配置され、前記集積回路チップに結合されたヒートシンクをさらに有することを特徴とする請求項13のアセンブリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路を基板に結合する方法と装置に関する。

【0002】

【従来の技術】近年の新しい結合技術は、集積回路内および集積回路間の高密度相互接続および電子装置内における他の応用における高密度相互接続を提供している。これらの接合技術は、マルチチップモジュールの組立を含むが、このマルチチップモジュールは、単一の基板上に実装されたいくつかのアンパック状態の集積回路(IC)チップを含むことがある。マルチチップモジュールまたは他の回路アセンブリにおいてアンパック状態のICチップを組み立てるための一つの技術は、フリップチップ接合である。

【0003】フリップチップ結合は、信号入出力端子であるはんだ濡れ性を有するコンタクトパッドの周辺あるいは領域配列をICチップに供給すると共に、基板上にはんだ濡れ性を有するコンタクトパッドのマト配列を供給することによって実現される。基板上での組立に先立って、一般的には、ICチップと基板のいずれか一方あるいは両方の各コンタクトパッドにはんだ突起を形成する工程が行われる。続いて、ICチップは、そのはんだ突起が対応するはんだ濡れ性パッドと整合するか、あるいはICチップと基板上のはんだ突起が互いに整合するようにして、基板上で方向付けられる。さらに、はんだ突起をそのはんだが溶けるリフロー温度まで加熱することによって、相互接続結合部が同時に形成され、電気的導電接合部が形成される。このような工程は、R. TummulaとE. J. Rymaszewski, 「Microelectronics Packaging Handbook」, pp. 366-391頁 (Van Nostrand Reinhold, New York, NY, 1989)に記載されている。

【0004】一般的に、以上のような工程で作製されたICチップは、基板に直接接合しているのではなく、形成された相互接続結合部の高さに基づき、一般的に50 μ m \sim 100 μ mのオーダーで基板の上方に浮いている。したがって、ICチップと基板の間には、対応する低プロファイルギャップが存在している。リフロー工程の後には、形成された相互接続結合部の間だけでなく、このように形成された断面ギャップ部分にもフラックス残留物が残される可能性がある。このフラックス残留物が除去されない場合には、電気特性を低下させ、後述す

るようなエポキシ充填部の形成を妨げる可能性がある。しかしながら、ICチップと基板の端部間に形成された対応する小さな開口は、この低プロファイルギャップ内にフラックス洗浄流体を流すことを妨げる。その結果、現状においてフラックス残留物の除去を実現することは困難である。

【0005】さらに、異なる熱膨張係数を有する基板に対するICチップの結合は、高温における昇温時におけるチップと基板との熱膨張率の差異によって、相互接続結合部に、それらを破壊するようなせん断力が生じる可能性があるという問題を含んでいる。一般的には、そのようなせん断力を低減するために、ICチップと基板の間の低プロファイルギャップ内に、弾性の小さいエポキシ材料から充填部が形成される。しかしながら、そのギャップに対応する断面端部の開口が小さいので、充填部を形成するために、その低プロファイルギャップ内にエポキシを流入することもまた困難である。

【0006】エポキシ充填部を形成するための従来方法は、長時間を要し、多くの素子アセンブリの大量生産におけるネックとなっている。また、そのような方法は、低プロファイルギャップ内に充填されたエポキシ材料内にエアポケットを発生させる場合がある。このエアポケットは、ギャップ内にエポキシ材料が流入する際にこのエポキシ材料によって置換された空気から形成される。このエアポケットは、そのアセンブリが高温に晒された場合に膨張して、ICチップと基板との間に、その相互接続を破壊するような分離力を生じさせる。

【0007】エアポケットが発生しにくい充填部を形成するための一つの方法は、ICチップの1つまたは2つの平行でない側面の縁部の周囲に注射器を使用してエポキシのビードを連続的に形成し、毛管現象によってエポキシをチップの下に導入するものである。この工程の間、充填材料の粘性を低減して毛管流を促進するために、アセンブリは70 $^{\circ}$ C \sim 100 $^{\circ}$ Cで加熱されることが多い。ギャップが完全に充填された後、ICチップの高さと等しい高さを持つエポキシの最終的な縁部がチップの周囲に形成される。この縁部は、一般的には0.38mm \sim 0.76mmのオーダーである。エポキシの粘性を低減して充填部の形成時間を短縮するために、アセンブリは、70 $^{\circ}$ C \sim 90 $^{\circ}$ Cの間の温度で加熱される場合が多い。

【0008】しかしながら、そのような加熱を使用した場合においても、エポキシビードの形成は、1.5cm \times 1.5cmのオーダーの寸法を有するICチップに対して、一般的に約2分の時間を必要とする。さらに、そのようなICチップは、このチップと基板との間のギャップを完全に充填するために、エポキシビードの形成の6倍の時間すなわち約12分の時間を必要とする。このような充填部形成時間は、素子アセンブリの大量生産に適するものではない。

【0009】

【発明が解決しようとする課題】したがって、本発明の目的は、フラックス残留物を除去し、かつ充填部を形成するための、比較的迅速で効率よい方法を実現可能な、優れた集積回路結合技術を提供することである。

【0010】

【課題を解決するための手段】本発明は、結合されたICチップとプリント回路基板等の基板との間の比較的低プロファイルギャップ内に十分な量のフラックス洗浄流体と充填材料を流入可能にするために、基板におけるICチップの下方に少なくとも一つの孔を設けるものである。このような孔の使用によって次の作用が得られる。例えば、フラックス洗浄流体は、フラックス残留物を除去するのに適した十分な流速で、圧力や重力などにより、孔を通してICチップと基板との間のギャップ内に流入し、相互接続結合部の間の隙間を通して流出することが可能となる。別の構成において、フラックス洗浄流体は、相互接続結合部の間の端部開口を通して十分な速度でその低プロファイルギャップ内に流入し、孔から流出する。このような洗浄方法は、比較的迅速かつ低コストであり、ギャップ内の表面を、フラックス残留物の洗浄に適した洗浄流体に十分にさらすことを可能にする。

【0011】本発明のこの洗浄方法は、150 μ mまでの高さを持つ低プロファイルギャップに対して有効である。また、この洗浄方法は、100 μ m以下の高さを持つギャップに特に有効であり、さらに、50 μ m以下の高さを持つギャップに対してより有効である。

【0012】基板に設けた孔はまた、充填部を形成するためにICチップと基板表面との間のギャップ内にエポキシなどの材料が導入された際に、エアポケットの排出路を提供する。一つの実施の形態において、ICチップの縁部の周囲における基板表面上に、ほぼICチップの厚みを持つような比較的厚いエポキシビードが形成され、続いて、毛管現象によってその低プロファイルギャップ内にエポキシが導入される。室温でエポキシを付着させた後、充填材料を流れやすくするためにそのアセンブリを加熱することも可能である。さらに、充填材料の硬化工程の間、複数のアセンブリを同時に加熱することも可能であり、この方法は有利である。大量の素子アセンブリの生産に適した別の実施の形態においては、ICチップの周囲にエポキシがステンシル印刷され、続いて、毛管現象によってその低プロファイルギャップ内にエポキシが導入される。前述したように、その低プロファイルギャップ内に流入するエポキシによって置換された空気は、基板に設けた孔を介して外部に排出される。

【0013】さらに、これらの方法によれば、単一の工程で充填部と対応する周囲のエポキシ縁部を効率よく形成できる。本発明にしたがって、その低プロファイルギャップ内にエポキシを押し込み、あるいは引き込むために、基板の上方または下方の環境と異なる相対圧力を使

用することもできる。基板に設けた孔を介してギャップ内にエポキシを注入することもまた可能である。

【0014】本発明は、特に、内部に材料を流入させ難い高さを持つ低プロファイルギャップを有する相互接続結合部に好適である。一般的に、300 μ m以下のギャップ高さは、充填材料の流速にそのような影響を与える。

【0015】したがって、本発明の結合技術によってICチップの下方の基板に設けられた孔は、従来の結合技術において存在していたところの、フラックス残留物の洗浄やエポキシ充填部の形成に関する問題を解決するのに非常に有効である。本発明は、低プロファイルのアセンブリを生成するために、孔を介してICチップにヒートシンクを結合するという付属的な使用を含む。

【0016】なお、本発明の他の特徴や作用は、後述する詳細な説明と添付図面から明らかである。

【0017】

【発明の実施の形態】本発明によれば、集積回路(IC)チップ結合において、アンパック状態のICチップとプリント回路基板のような基板との間に形成された低プロファイルギャップ内に洗浄流体と充填材料を流す際の困難性は、そのギャップの下方の基板に少なくとも一つの孔を設けることによって克服される。ここで、「低プロファイルギャップ」は、ICチップと基板との間に形成されるギャップのうち、特に、本発明に係る孔がない場合に、そのギャップを通る材料の流れを妨げる高さを持つようなギャップを意味する。本発明に係る孔は、低プロファイルギャップ内に洗浄流体や充填材料を流すための、低コストで、比較的迅速かつ有効な技術の使用を容易にする。特に、その孔は、洗浄流体の入口と出口を提供すると共に、充填部の形成の間にエアポケットを除去する手段を提供する。

【0018】本発明の洗浄方法は、150 μ mまでの高さを持つ低プロファイルギャップに対して有効である。また、この洗浄方法は、100 μ m以下のギャップ高さに対して特に有効であり、50 μ m以下のギャップ高さに対してより有効である。さらに、本発明は、孔がない場合に充填材料の流れを妨げるような、例えば300 μ m以下の高さを持つ低プロファイルギャップ内に、エポキシのような充填材料を良好に流すことを可能にする。しかしながら、本発明は、より大きな高さを持つ低プロファイルギャップに対してもまた、同様に有効である。

【0019】以下の説明と添付図面においては、本発明に係る残留物除去およびエポキシ充填部形成技術の代表的な実施の形態が記載され、示されている。しかしながら、これらの実施の形態は、本発明を説明するための単なる例示にすぎず、本発明を限定するものではない。本発明に係る基板の孔はまた、低プロファイルギャップ内に各種の他の洗浄流体を流したり、他の充填材料を形成したり、あるいは、あらゆる低粘性材料を導入するため

に有用な各種の技術を、低コストで実現する。

【0020】図1は、本発明に係る代表的な構成を示しており、アンパック状態のICチップ1は、フリップチップ結合技術のような結合技術によって、基板10の一部に接続される。基板10に使用される具体的な材料は、本発明において重要ではないが、例えば、通常の繊維ガラスや強化エポキシ樹脂製の回路基板などが使用可能である。同様に、ICチップの具体的な種類も本発明において重要ではないが、シリコンやGaAsをベース材料とするような集積回路などが使用可能である。この

ようなチップは、例えば、約0.4cm×0.4cm×1.5cm×1.5cmの範囲の平面寸法と、0.30mm×0.80mmの範囲の厚みを持つものである。

【0021】基板10の主表面（基板表面）15上には、はんだ濡れ性を有するコンタクトパッド20が配置されており、図2に示すようなICチップ1上に形成されたはんだ濡れ性を有する相手のコンタクトパッド100の周辺配列と位置合わせされる。コンパクトパッド20は、ICチップ1と基板10に接続された他の電気素子との間の信号伝達を可能にする。本発明にしたがって、図1に示すように基板10には、ICチップ1が実装される実装領域40内に孔30が設けられている。図中では、説明の簡略化の観点から、単一の孔30のみが示されているが、実装領域40内に複数の孔を設けることも可能である。

【0022】孔30の形状は、本発明において重要ではないが、図示されているような円形状に加えて、例えば、三角形、四角形、長円形およびその他の多面形状などが可能である。孔30の寸法の限定については、図3と図4に関して後述する。図1と図2においては、コンタクトパッド20と100の周辺配列が示されているが、本発明にしたがって、ICチップ1と基板10上に、コンタクトパッドの領域配列を設けることも可能である。ICチップ1と基板10との間の相互接続結合部の形成を妨害することのないように、孔30は、コンタクトパッドから十分に離される必要がある。

【0023】図2に示すように、ICチップ1上のコンタクトパッド100と基板10上の相手のコンタクトパッド20との間には、素子アセンブリ130を作製するために、相互接続結合部110が形成される。図2においては、図面の簡略化の観点から、ICチップ1の遠い側の相互接続結合部110は図示されていない。また、図2において、コンタクトパッド20と100は、基板10とICチップ1の各表面から突出するように示されているが、コンタクトパッドをそれらの表面と同一平面上あるいは凹部状に設けることも可能である。

【0024】相互接続結合部110を形成するのに使用される具体的な結合方法は、本発明において重要ではないが、はんだペーストのステンシル印刷とリフロー処理などが使用可能である。例えば、ICチップ1の各コン

タクトパッド100上にはんだペーストをステンシル印刷することによってはんだ接合部が形成される。続いて、印刷されたはんだペーストが対応するはんだ濡れ性パッド20と整合されるようにして、ICチップ1が基板10上で方向付けられる。さらに、そのはんだが溶けるリフロー温度まではんだ突起を加熱することによって、はんだペーストすなわち相互接続結合部110が形成され、電氣的導電接合部が形成される。このようなリフロー工程は、前述した「Microelectronics Packaging Handbook」において詳細に記載されている。また、本発明において使用可能なフリップチップ結合技術は、本出願人に付与された米国特許第5,211,764号公報および第5,385,290号公報において記載されているような結合技術を含む。

【0025】形成された相互接続結合部110は、約25μm～300μmの範囲の高さを持つことが可能である。同様に、ICチップ1と基板表面15との間に形成される低プロファイルギャップ140は、約25μm～300μmの範囲の高さを持つ。孔30によって、図3と図4に示すように、低プロファイルギャップ140に対してフラックス洗浄流体を供給するための、低コストで効率のよい技術の使用が可能になる。また、この孔30によって、図5～図8に示すように、低プロファイルギャップ140内に充填用エポキシを供給するための、低コストで効率のよい技術の使用が可能になる。この孔30は、約100μm以下の高さを持つ低プロファイルギャップ140に対して特に好適である。

【0026】図2の素子アセンブリ130は、図3と図4において、フラックス残留物洗浄用配置200の形態で示されている。基板表面15上には、ICチップ1を囲むようにして仮の包囲壁210が配置されている。包囲壁210と基板表面15は、ICチップ1を覆うキャビティ220を形成する。包囲壁210と基板表面15の間には十分に強固なシールを設ける必要がある。これにより、フローライン240によって示すように、キャビティ220に注入された洗浄流体230を、相互接続結合部110の間の隙間を通して低プロファイルギャップ140内に流入させた後、孔30を介して流出させることができる。この方法により、リフロー後の低プロファイルギャップ14内に残るフラックス残留物や他の不都合な異物を除去することができる。

【0027】具体的なフラックス洗浄流体の種類は、本発明において重要ではないが、はんだ付け処理の間に使用されるフラックスに応じて選択される必要がある。例えば、「AMTECH WS 485」のような水洗浄可能なフラックスを使用する場合には、対応する洗浄流体として、水あるいは水ペースの流体が使用可能である。相互接続結合部110の形成に、「AMTECH NC 557」のようなロジンペースのフラックスを使

10

20

30

40

50

用する場合には、テレペンチンベースあるいは関連する洗浄流体が使用可能である。

【0028】相互接続結合部 110 と低プロファイルギャップ 140 との間の隙間を通る洗浄流体 230 の十分な流速を確保してフラックス残留物を除去できるように、孔 30 の寸法は、十分に大きくする必要がある。重力によって流速を与える場合には、一般的な孔 30 の寸法は、図 1 に示すような IC チップの実装領域 40 の約 1%~20% の範囲である。しかしながら、例えば、通常のプランジャなどの使用により流体の上方に高圧環境を生成するか、あるいは、孔 30 の下方に低圧環境を生成することによって洗浄流体 230 を低プロファイルギャップ 140 内に強制的に流入させる場合には、より小さい孔 30 が使用可能である。包囲壁 210 は、単一の IC チップ 1 を包囲するように示されているが、本発明においては、複数の IC チップを一括的に包囲する壁を設けることにより、その複数のチップとその下方に設けられた複数の孔を含む基板領域を同時に洗浄することも可能である。

【0029】図 4 には、図 3 と異なるフラックス残留物洗浄用配置 250 が示されており、この配置においては、基板表面 15 と対向する基板表面 255 とこの表面に配置された包囲壁 260 によってキャビティが形成されている。この構成においては、フローライン 270 に示すように、重力あるいは下向きの圧力によって、流体を、孔 30 を通して低プロファイルギャップ 140 内に流入させた後、相互接続結合部 110 の間の隙間を通して流出させることができる。このフラックス残留物洗浄用配置 250 の利点は、IC チップ 1 の周辺領域に存在するフラックス残留物や他の不都合な異物が洗浄工程の間に低プロファイルギャップ 140 内に押し込まれる可能性をかなり低減できることである。

【0030】フラックス残留物や他の不都合な異物を除去した後には、図 5 と図 6 に示すように、低プロファイルギャップ 140 内に低弾性材料充填部、例えばエポキシ充填部 300 を形成することが有利な場合が多い。エポキシ充填部 300 は、相互接続結合部 110 を包囲する領域に縁部 310 を有することが望ましい。縁部 310 は、この縁部がない場合に相互接続結合部 110 の少なくとも一つを破壊するようなせん断力を低減するために、基板表面 15 から相互接続結合部 110 の上方レベルまで伸びるように設けられる必要がある。IC チップ側面 320 の高い位置まで伸びるより大きな縁部 310 を使用することによって、せん断力をさらに低減できる。しかしながら、本発明においては、せん断力に対して相互接続結合部 110 をそれほど保護しない場合であっても、周囲の縁部 310 なしでエポキシ充填部 300 を形成することができる。

【0031】図 6 においては、図 5 の素子アセンブリを形成するための一つのエポキシ充填部形成用配置が示さ

れている。図 6 において、基板表面 15 上における IC チップ 1 の周囲には、エポキシビード 400 が形成されている。エポキシビード 400 は、一般的に、ディスペンシングあるいはステンシル印刷によって形成される。続いて、図 5 に示すような完全な素子アセンブリを作製するために、毛管現象によってエポキシ 300 が低プロファイルギャップ 140 内に導入される。低プロファイルギャップ 140 がエポキシで満たされた後、エポキシは、高温あるいは紫外線に晒され、架橋結合の低弾性充填部が形成される。

【0032】従来技術においては、ギャップ内にエポキシが導入される際にこのエポキシによって置換された空気を排出する手段がなかったために、低プロファイルギャップ内に不都合なエアポケットが形成されるという問題があったが、本発明においては、孔 30 を通してエアポケットを排出することができる。したがって、孔 30 は、そのようなエアポケットを排出するのに十分な寸法とされる必要がある。このようにして、本発明によれば、図 5 に示すようなエポキシ充填部 300 内にエアポケットが形成される可能性を十分に低減できる。素子アセンブリに有害な影響を与えることなしに、エポキシ充填部を孔 30 内まで伸びるように設けることも可能である。

【0033】具体的な低弾性材料は、基板 10 と IC チップ 1 の熱膨張率の差異に起因して相互接続結合部に作用するせん断力を低減するように選択される必要があるが、その具体的な種類は重要ではない。好適な一般的な低弾性エポキシは、N. Y. , Olean の Dextor Corporation 社によって製造されている Hysol-type エポキシである。

【0033】ビード 400 に使用する材料の量によって、低プロファイルギャップ 140 内のエポキシ充填部 300 と所望の縁部 310 を形成できる。例えば、約 0.4 cm×0.4 cm~1.5 cm×1.5 cm の範囲の平面寸法を持つ IC チップ 1 と約 50 μm~150 μm の範囲の高さを持つ低プロファイルギャップに対しては、IC チップ 1 の厚みと同様の厚み、例えば、0.30 mm~0.80 mm の範囲の厚みを持つエポキシビード 400 が使用可能である。そのような素子アセンブリに形成された縁部は、IC チップ側面 320 の IC チップ上面 325 近傍まで伸びる。

【0034】低プロファイルギャップ 140 内にエポキシを導入する毛管現象は、ほぼ室温で発生させることができる。しかしながら、エポキシ充填部 300 を形成する時間の低減は、エポキシの粘性を低減し、流速を増大させるために高温に晒すことにより実現される。また、図 5 に示すような素子アセンブリ 130 の形成において、このエポキシ充填部形成工程を硬化工程と組み合わせることにより、素子アセンブリを形成する時間全体を低減できる。

【0035】一般的な硬化工程は、架橋結合の充填部を形成するために、ICチップの下方に配置されたエポキシを硬化させる間、はんだ付けされたフリップチップアセンブリを高温に晒す工程を含む。熱硬化工程の前にエポキシビード400を形成することにより、熱硬化工程時にエポキシの粘性を低減し、低プロファイルギャップ140内にエポキシをより迅速に流入させることができる。低プロファイルギャップ140がエポキシで満たされた時点で、アセンブリは所定時間の間、所定の温度で加熱され、所望の架橋結合を持つエポキシ充填部が形成される。一般的に組み合わせられた熱硬化・充填部形成工程は、約0.2〜3.0hの範囲内の時間の間、約140℃〜160℃の範囲内の温度にアセンブリを晒す工程を含む。前述した熱硬化工程は単なる一例にすぎず、本発明を限定するものではない。本発明においては、例えば紫外線に晒す硬化工程等の、他の硬化工程が使用可能である。

【0036】図7と図8には、エポキシのステンシル印刷を使用した他のエポキシ充填部形成用配置が示されている。この実施の形態は、素子アセンブリの商業的生産に特に有用である。図7において、ステンシル500は、ステンシル開口510がICチップ1を覆うようにして基板表面15上に配置されている。ステンシル開口510は、少なくともICチップ1の寸法を持つ必要がある。また、ステンシル500は、少なくとも低プロファイルギャップ140の高さと同等の厚みを持つ必要がある。

【0037】ステンシル500がアセンブリ上に配置された後、例えば、シリカ・フィールド・シキソトロピー・エポキシなどのエポキシ520がステンシル500上にデポジットされる。ステンシル500上には、ステンシル開口510内に流すために、十分な量のエポキシ520が、例えば、低プロファイルギャップ140の高さまでデポジットされる。続いて、毛管現象により、ステンシル開口510に注入されたエポキシ520が、相互接続結合部110間の隙間を通してICチップ1の低プロファイルギャップ140内に導入される。図5と図6の配置と同様に、図7の配置においても、エポキシ520は、低プロファイルギャップ140内に導入され、それによって置換された空気は、不都合なエアポケットを形成することなしに、孔30を介して排出される。そしてまた、素子アセンブリに有害な影響を与えることなしに、エポキシ充填部を孔30内まで伸びるように設けることも可能である。図8においては、図7の配置によって設けられたエポキシ充填部600と縁部610を有する完成品のアセンブリが示されている。

【0038】再び図7を参照すれば、ステンシル500のステンシル開口510は、図8に示すような所望のエポキシ縁部610の外周を形成する空き領域を持つ必要がある。アセンブリを簡略化するために、図7に示すよ

うな基板表面15に対して所望の縁部の高さとはほぼ等しい高さの厚みを有するステンシル500を使用することが有利である。この場合、デポジットされるのに必要なエポキシの量を実際に測定する必要はない。ステンシル開口510を満たすのに十分な量のエポキシ520がデポジットされることだけが必要である。しかしながら、図7に示すように、ステンシル500を覆うような大量のエポキシ520をデポジットしてもよい。これに伴い、ステンシル開口510の外に広がる余分なエポキシをふき取るために、スキージを使用してもよい。この後、ステンシル500は、ICチップ1の周囲に、図8に示すようなステンシル500の厚みにほぼ等しい高さを有するエポキシ縁部610を残して除去される。

【0039】以上のような方法は、低コストで多数のアセンブリにICチップ充填部を形成することを容易にする。しかしながら、本発明においては、ステンシル開口510内に、ステンシルの厚み以下の所望の縁部高さまでエポキシをデポジットすることも可能である。この場合には、続くスキージ工程を行う必要がなくなる。

【0040】図5〜図8あるいは他のエポキシ充填部形成技術のいずれにおいても、孔30を通して低プロファイルギャップ140内にエポキシ520を押し込むかあるいは引き込むために、基板表面15と対向する基板表面225の下方の圧力に対してICチップ1の上方により高圧の環境を設け、この高圧環境に素子アセンブリを晒すことが可能である。他の実施の形態において、エポキシを孔30を通して低プロファイルギャップ140内にポンピングすることも可能である。本発明は、低プロファイルアセンブリの熱消散を与えるために、孔30を通してICチップにヒートシンクを結合できるという利点もある。

【0041】当業者であれば、本発明の範囲内で、多種多様な他の形態と変形例を実施可能である。例えば、以上の説明においては、異なる熱膨張率を有しかつ充填材を使用するICチップと基板の結合に関して記載したが、充填材を使用することなしにフラックス残留物の除去のみを行う場合や、残留物をほとんどあるいは全く生じることのないフラックスを使用してはんだ接合部を形成した際に充填材の形成のみを行う場合において、本発明に係る孔を使用することも可能である。例えば、本出願人に付与された米国特許第5,211,764号公報においては、残留物を生じないはんだペーストの一例について記載されている。

【0042】

【発明の効果】以上説明したように、本発明によれば、基板におけるICチップの下方に少なくとも一つの孔を設けることにより、フラックス残留物を除去し、かつ充填部を形成するための、比較的迅速で効率よい方法を実現可能な、優れた集積回路結合技術を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る集積回路チップと基板の結合前の配置の一例を示す斜視図である。

【図2】図1の集積回路と基板を結合して作製した素子アセンブリの一例を示す断面図である。

【図3】図2の素子アセンブリのフラックス残留物洗浄用配置の一例を示す断面図である。

【図4】図2の素子アセンブリのフラックス残留物洗浄用配置の別の一例を示す断面図である。

【図5】図2の素子アセンブリの低プロファイルギャップ内にエポキシ充填部を形成した一例を示す断面図である。

【図6】図5の素子アセンブリを形成するためのエポキシ充填部形成用配置の一例を示す断面図である。

【図7】図2の素子アセンブリの低プロファイルギャップ内にエポキシ充填部を形成するためのエポキシ充填部形成用配置の別の一例を示す断面図である。

【図8】図7のエポキシ充填部形成用配置によって形成されたエポキシ充填部を有する素子アセンブリの一例を示す断面図である。

【符号の説明】

1…ICチップ

10…基板

15、255…基板表面

20、100…コンタクトパッド

30…孔

40…実装領域

110…相互接続結合部

130…素子アセンブリ

140…低プロファイルギャップ

200、250…フラックス残留物洗浄用配置

210…包囲壁

220…キャビティ

230…洗浄流体

240、270…フローライン

300、600…エポキシ充填部

310、610…縁部

320…ICチップ側面

325…ICチップ上面

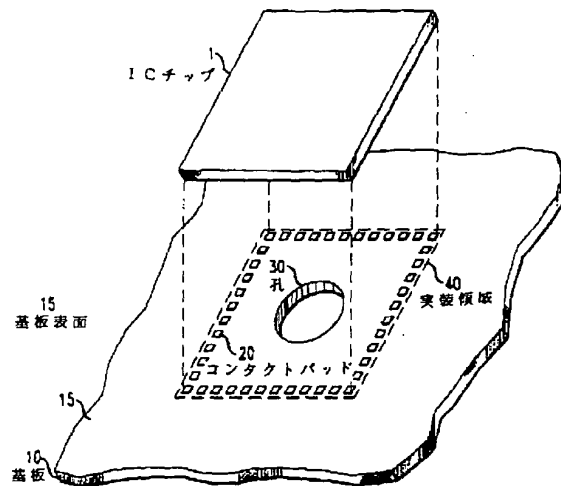
400…エポキシビード

500…ステンシル

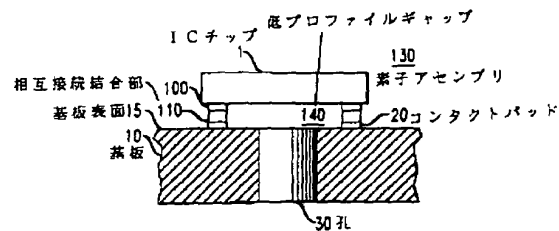
20 510…ステンシル開口

520…エポキシ

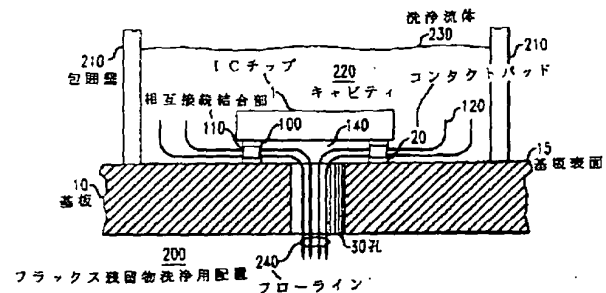
【図1】



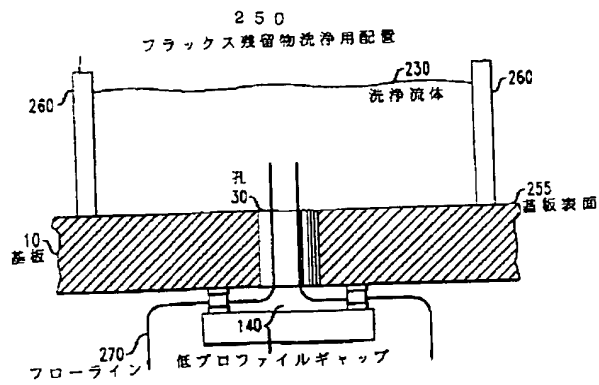
【図2】



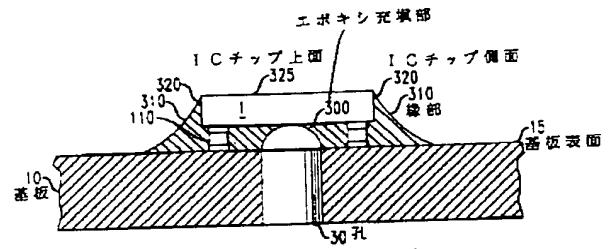
【図3】



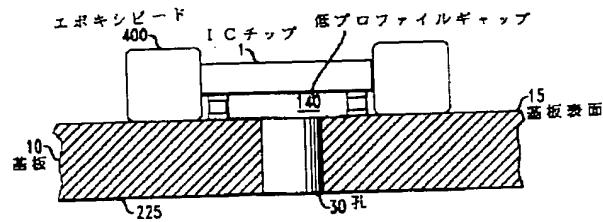
【図4】



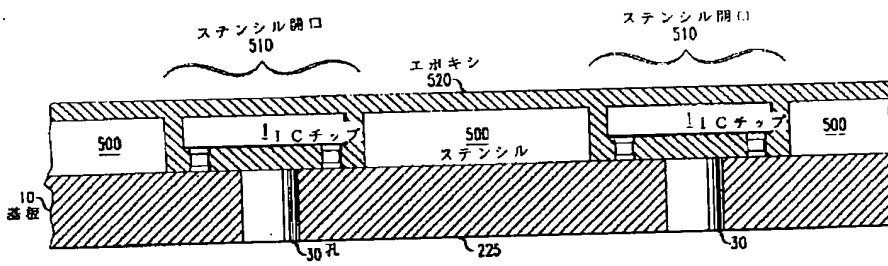
【図5】



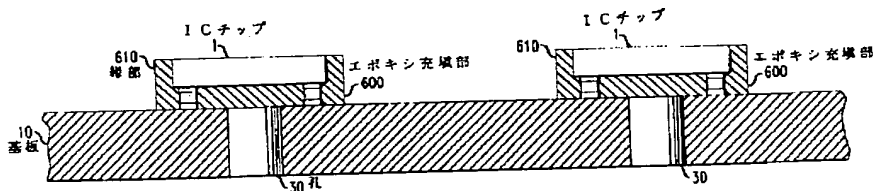
【図6】



【図7】



【図8】



フロントページの続き

(71)出願人 596077259

600 Mountain Avenue,
Murray Hill, New Je
rsey 07974-0636 U. S. A.

(72)発明者 ローレンス アーノルド グリーンバーグ
アメリカ合衆国, 18104 ペンシルヴァニア,
アレンタウン, ドエトレイルロード 1362